

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10136048 A**(43) Date of publication of application: **22.05.98**

(51) Int. Cl.

H04L 27/36**H04B 1/04****H04J 11/00**(21) Application number: **08286969**(71) Applicant: **HITACHI DENSHI LTD**(22) Date of filing: **29.10.96**(72) Inventor: **KANAZAWA MASAYUKI**(54) **NEGATIVE FEEDBACK AMPLIFIER**

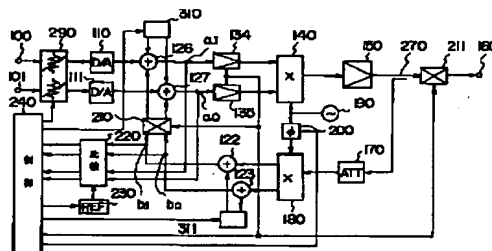
phase shifter 200 is controlled.

(57) Abstract:

COPYRIGHT: (C)1998,JPO

PROBLEM TO BE SOLVED: To avoid the effects of the result of DC offset to phase shift control and input amplitude control by adjusting the DC offset of an input baseband signal and a feedback baseband signal sequentially in an input-side and a feedback-side order and adjusting the phase shift and input amplitude except DC offset.

SOLUTION: For the adjustment of a DC offset, a first inhibition means opens a feedback loop, signals from detection points a1 and aQ are compared with the reference voltage of the output of a reference voltage circuit 230, and an offset correction circuit is controlled. Then, the output of an orthogonal demodulator 180 is taken out of detection points b1 and bQ, and they are inputted to a comparator 220. A feedback side offset correction circuit 311 is controlled by a compared result. For adjusting phase shift an input digital baseband signal is inputted, signals passing through a feedback circuit are detected from the detection points b1 and bQ and are inputted to the comparator 220. A reference signal is compared with the output of the orthogonal demodulator 180, and a



JP 10-136048, (Hitachi Electronics, Ltd.), 22 May, 1998,
Par. Nos. [0002], [0046] to [0051]; Figs. 1 to 11

[0002] [Prior Art]

A Cartesian-loop negative-feedback amplifier is
5 used mainly in wireless communications in order to
power-amplify a linear modulated signal in QPSK
modulation, 16-QAM modulation and OFDM. If it is
adjusted properly, this negative-feedback amplifier will
operate as a linear amplifier that compensates for non-
10 linear distortion of a power amplifier output and makes
high-quality communication possible. With a negative-
feedback amplifier of this kind, however, several
problems, set forth below, arise.

15 [0046] DC offset is adjusted as a first training stage.

First, in order to adjust the DC offset of the input
baseband signals, zero data is input as digital baseband
I, Q signals and the outputs of operational amplifiers
350 and 351 are input to comparators 223, 224 from
20 detection points aI, aQ. At this time the controller
240 controls the output of reference-voltage circuit 230
to 0 [V] so that comparators 223 and 224 compare 0 [V]
and the outputs of operational amplifiers 350, 351 and
render a decision.

25 [0047] In accordance with the decision information,
controller 240 repeatedly adjusts the outputs of D/A

converter circuits 112 and 113 and decides a D/A output value for which the input DC offset will be cancelled out. More specifically, controller 240 sets the adjustment range to $P1 = -V1$ [V], $P2 = +V1$ [V] (where $V1$ represents the maximum offset voltage + margin that takes into consideration variance and temperature characteristics of D/A converter circuits 110 and 111), and varies D/A converter circuits 112 and 113 over the range $-V1$ [V] ~ $+V1$ [V] to thereby output DC voltages.

10 The outputs of D/A converter circuits 112 and 113 at the moment the sign of the outputs of comparators 223 and 224 changes are decided on as the DC-offset correction voltages. As a result, the DC offsets of D/A converter circuits 110, 111 are cancelled out.

15 [0048] Next, in order to adjust the DC offset of the feedback baseband signal, the outputs of operational amplifiers 354 and 355 are input to comparators 221 and 222 from detection points bI, bQ so that these are compared with 0 [V] output from reference-voltage circuit 230.

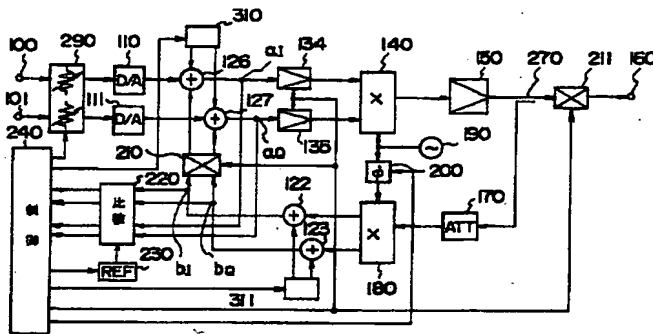
20 [0049] In accordance with the decision information, controller 240 repeatedly adjusts the outputs of D/A converter circuits 114 and 115 and decides a D/A output value for which the demodulated DC offset will be cancelled out. More specifically, controller 240 sets the adjustment range to $P1 = -V2$ [V], $P2 = +V2$ [V]

(where V_2 represents the maximum offset voltage + margin that takes into consideration variance and temperature characteristics of quadrature demodulator 180), and varies D/A converter circuits 114 and 115 over the range
5 $-V_2$ [V] ~ $+V_2$ [V] to thereby output a DC voltage. The outputs of D/A converter circuits 114 and 115 at the moment the sign of the outputs of comparators 221 and 222 changes are decided on as the DC-offset correction voltages.

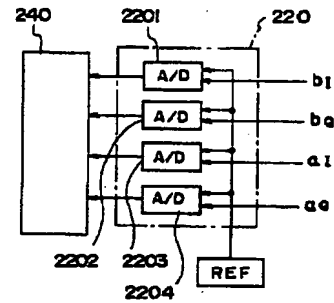
10 [0050] Phase shift is adjusted as a second training stage.
[0051] Input digital baseband signals corresponding to $I = a$ [V], $Q = 0$ [V] are applied and the outputs of operational amplifiers 354 and 355 are input to comparators 221 and 222 from detection points bI , bQ .

15 On the other hand, controller 240 controls the output of reference-voltage circuit 230 to 0 [V] and inputs this to comparators 221 and 222 so that this is compared with the aforesaid signals. In accordance with the decision information, controller 240 repeatedly adjusts phase
20 shifter 200 to decide an amount of phase shift for which the outputs of operational amplifiers 354 and 355 will be $I' = -k \cdot a$ [V] (where k is a positive real number), $Q' = 0$ [V]. This will be described in greater detail with reference to Fig. 11, which is an explanatory view
25 illustrating the adjustment range of phase-shift training processing.

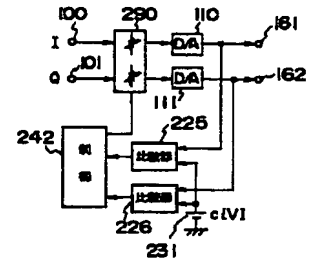
【図1】 FIG. 1



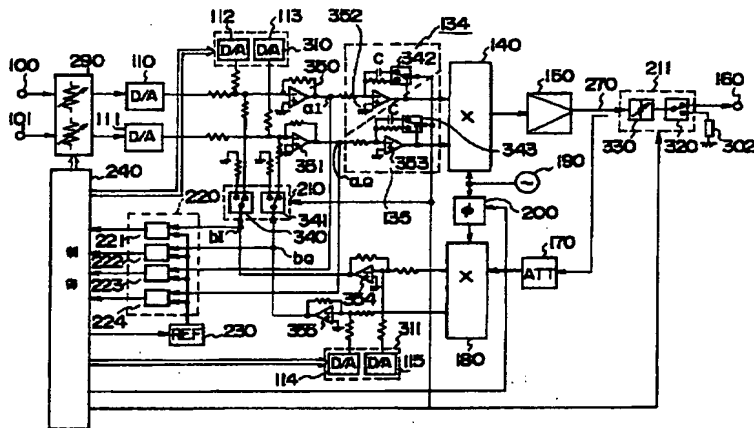
【図3】 FIG. 3



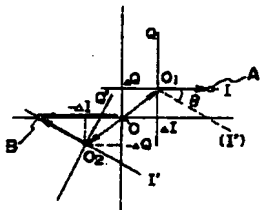
【図4】 FIG. 4



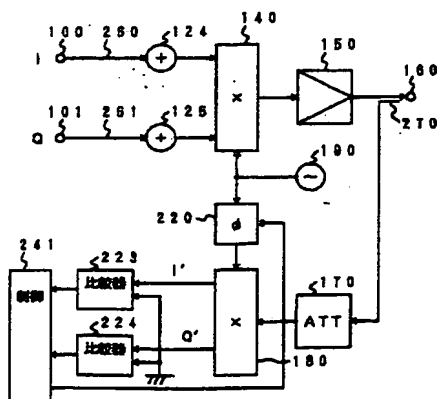
【図2】 FIG. 2



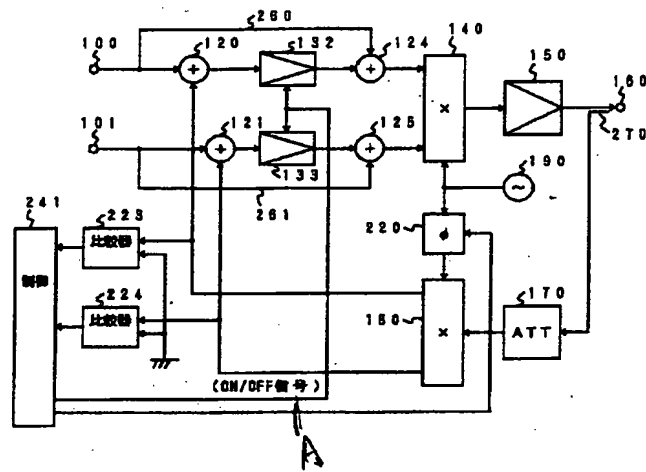
【図5】 FIG. 5



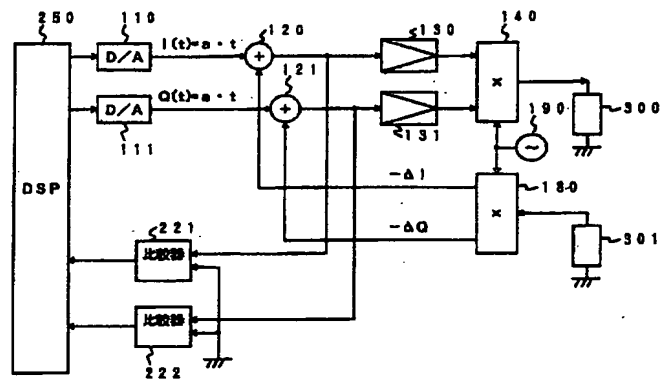
【図6】 FIG. 6



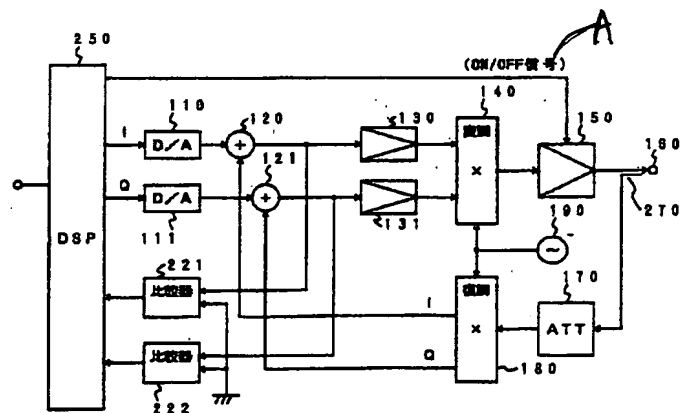
【図7】 FIG. 7



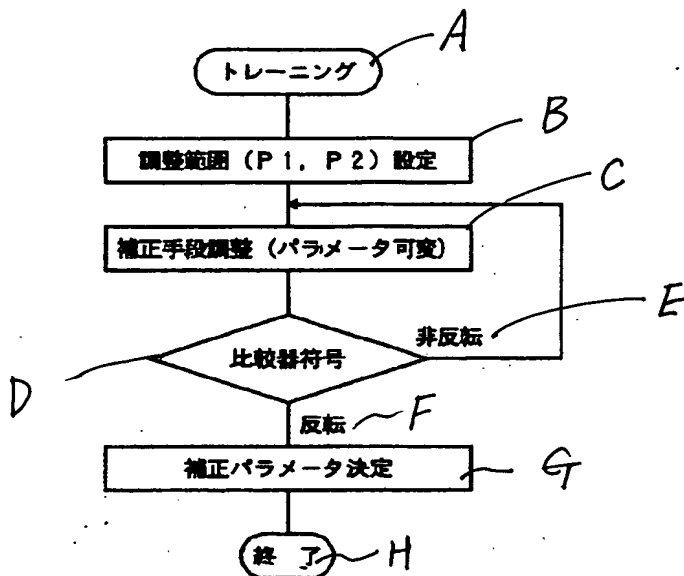
【図8】 FIG. 8



【図9】 FIG. 9



【図10】 FIG. 10



【図11】 FIG. 11

比較器222符号 (帰還1符号)	比較器222符号 (帰還Q符号)	(象限)	調整範囲	
			P1	P2
+	+	(第1象限)	+90度	+180度
-	+	(第2象限)	0度	+90度
-	-	(第3象限)	-90度	0度
+	-	(第4象限)	-180度	-90度

【手続補正書】

【提出日】平成9年2月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明の一実施例における全体構成を示すブロック図。

【図2】本発明の一実施例に関する全体構成を示すブロック図。

【図3】本発明の実施例における比較回路の他の一例を

示すブロック図。

【図4】2つのD/A変換回路の振幅調整を行うブロック構成の一例。

【図5】原点の異なる2つのベースバンド信号に対して位相シフト調整を実施したときの位相関係を示す説明図。

【図6】図7の従来技術の負帰還回路に対するトレーニング時の等価ブロック図。

【図7】従来技術による位相調整を行う負帰還増幅器のブロック図。

【図8】図9の従来技術の負帰還回路に対するトレーニング時の等価ブロック図。

FIG. 7

223...COMPARATOR, 224...COMPARATOR, 241...CONTROLLER
A...SIGNAL

FIG. 8

5 221...COMPARATOR, 222...COMPARATOR

FIG. 9

221...COMPARATOR, 222...COMPARATOR, 140...MODULATION
180...DEMODULATION, A...SIGNAL

FIG. 10

10 A...TRAINING, B...SET ADJUSTMENT RANGE (P1, P2),
C...ADJUST CORRECTION MEANS (VARY PARAMETERS),
D...COMPARATOR SIGN, E...NOT INVERTED, F...INVERTED,
G...DECIDE CORRECTION PARAMETER, H...END

FIG. 11

15 A...SIGN OF COMPARATOR 222 (SIGN OF FEEDBACK I),
B...SIGN OF COMPARATOR 222 (SIGN OF FEEDBACK Q),
C...QUADRANT, D...ADJUSTMENT RANGE, E...(FIRST QUADRANT),
F...(SECOND QUADRANT), H...(THIRD QUADRANT), I...(FOURTH
QUADRANT), J...+90°, K...+180°, L...0°,
20 M...-90°, N...-180°

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-136048

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁸

識別記号

F I

H 0 4 L 27/36

H 0 4 L 27/00

F

H 0 4 B 1/04

H 0 4 B 1/04

N

H 0 4 J 11/00

H 0 4 J 11/00

Z

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号

特願平8-286969

(22) 出願日

平成 8 年 (1996) 10 月 29 日

(71) 出願人 000005429

日立電子株式会社

東京都千代田区神田和泉町 1 番地

(72) 発明者 金澤 昌幸

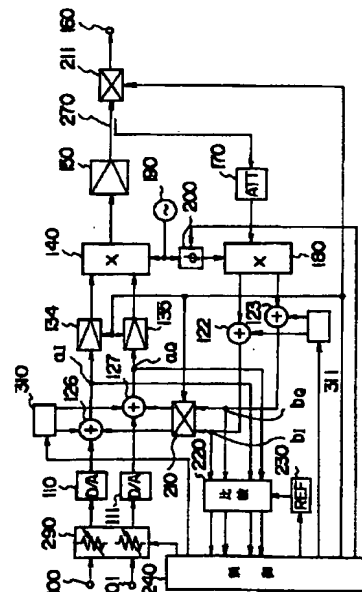
東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

(54) 【発明の名称】 負帰還増幅器

(57) 【要約】

【課題】 カーテシアンループ方式の負帰還増幅器において、直交変調器入力のDCオフセット、帰還回路の位相シフト、および、入力ベースバンド I、Q 信号の振幅誤差をそれぞれ調整して、通信品質の劣化を低減して安定に動作する負帰還増幅器を提供する。

【解決手段】 帰還ベースバンド信号が加算器に入力することを禁止した開ループ制御状態において、I、Q 加算器出力と I、Q 直交復調器出力を比較器に入力して基準電圧と比較し、この判定情報によって制御装置がオフセット補正回路と移相器と振幅補正回路を調整する。



【特許請求の範囲】

【請求項1】 変調信号を電力増幅する増幅器の非線形歪みを補償するカーテシアンループ方式の負帰還増幅器において、

該負帰還増幅器のトレーニング段階で、該負帰還増幅器を開ループ状態とし、入力ベースバンド信号と帰還ベースバンド信号のDCオフセットを入力側の次に帰還側の順で個別に調整したのち位相シフトおよび入力振幅を調整するトレーニング方式としたことを特徴とする負帰還増幅器。

【請求項2】 変調信号を電力増幅する増幅器の非線形歪みを補償するカーテシアンループ方式の負帰還増幅器において、送信信号の帰還路にある直交復調器の次段に設け、前記負帰還増幅器を開ループに構成するための第1の禁止手段と、

前記送信信号のアンテナ部への送出を禁止する第2の禁止手段と、

前記負帰還増幅器のトレーニング段階のときに、前記負帰還増幅器を前記第1と第2の禁止手段を制御した開ループ状態で、入力ベースバンド信号と帰還ベースバンド信号のDCオフセットを入力側の次に帰還側の順で個別に調整したのち位相シフトおよび入力振幅を調整するトレーニング方式としたことを特徴とする請求項1項記載の負帰還増幅器。

【請求項3】 変調信号を電力増幅する増幅器の非線形歪みを補償するカーテシアンループ方式の負帰還増幅器において、

入力I、Qデジタル信号をアナログデータに変換するD/A変換器と、入力レベルを調整することにより前記D/A変換器のI、Q間の差と定常値からの差を補正する前記D/A変換器の前段または後段に設けた振幅補正器と、前記D/A変換器の出力を帯域制限する前置増幅器と、該前置増幅器と前記D/A変換器の間に設けた入力側加算器と、該加算器にDCオフセット補正信号を与える入力側オフセット補正回路と、前記前置増幅器の次段の直交変調器と、該直交変調器に搬送波信号を供給する発振器と、前記直交変調器の出力を電力増幅する電力増幅器と、該電力増幅器の出力の一部を取り出す方向性結合器と、該方向性結合器により取り出された前記電力増幅器の出力を直交復調し負帰還信号を出力する直交復調器と、該直交復調器からの復調帰還信号にDCオフセット補正信号を与える帰還側加算器と、該帰還側加算器にDCオフセット補正信号を与える帰還側DCオフセット補正回路と、前記入力側加算器出力と前記帰還側加算器出力と基準値とを比較し、その結果に応じて前記入力側DCオフセット補正回路と前記帰還側DCオフセット補正回路と前記振幅補正器と前記直交復調器と前記発振器との間に設けた移相器に補正値を与えるとともに、前記入力側加算器と前記帰還側加算器との間に設けた第1の信号禁止手段と前記電力増幅器の出力側に設けた第2

の信号禁止手段と前記前置増幅器とを制御する比較制御手段より成ることを特徴とする負帰還増幅器。

【請求項4】 デジタルベースバンドI相信号及びQ相信号を入力してアナログ信号に変換するD/A変換回路と、該D/A変換回路出力の入力ベースバンドI相及びQ相信号と帰還したベースバンドI相及びQ相信号を入力して加算する加算器と、該加算器出力信号を帯域制限する増幅器と、搬送波信号を発生する発振器と、前記増幅器の出力によって前記搬送波信号を変調して直交変調信号を出力する直交変調器と、当該直交変調信号を電力増幅してアンテナ回路へ出力する電力増幅器と、前記発振器出力の搬送波信号の位相を移相する移相器と、該移相器出力の搬送波信号で前記電力増幅器出力の一部を復調して前記帰還ベースバンドI相及びQ相信号を出力する直交復調器を備え、前記入力ベースバンドI相及びQ相信号に前記帰還ベースバンドI相及びQ相信号を前記加算器で負帰還する負帰還増幅器であって、前記直交変調器のI相及びQ相入力のDCオフセットを補正するための第1のトレーニング段階と、帰還路の位相シフトを補正するための第2のトレーニング段階を有する負帰還増幅器であって、検出した帰還路の位相情報をもとに前記移相器を制御して位相シフトを補正する手段を備えた負帰還増幅器において、入力ベースバンドI相及びQ相信号の振幅を補正する手段と、該利得補正手段を制御して入力I相及びQ相信号の振幅を一致させるための第3のトレーニング段階を有し、前記帰還ベースバンドI相及びQ相信号の前記入力ベースバンドI相及びQ相信号への帰還を禁止する第1の禁止手段と、アンテナ回路への直交変調信号の送出を禁止する第2の禁止手段と、前記増幅器の利得を調整する手段と、前記入力ベースバンドI相及びQ相信号のDCオフセットを補正する手段と、前記帰還ベースバンドI相及びQ相信号のDCオフセットを補正する手段と、前記入力ベースバンドI相及びQ相信号および帰還ベースバンドI相及びQ相信号を入力として基準信号と比較して誤差情報を出力する比較手段と、前記基準信号を切り替える手段を上記トレーニング段階において制御して、前記比較手段出力の前記誤差情報をもとに前記入力ベースバンドのDCオフセットを補正する手段と、前記帰還ベースバンドのDCオフセットを補正する手段と前記位相シフトを補正する手段および入力ベースバンドI相及びQ相の振幅を補正する手段を制御することを特徴とする負帰還増幅器。

【請求項5】 請求項4記載の負帰還増幅器のトレーニング段階は、前記負帰還を禁止する第1の禁止手段によって帰還路を開放した開ループ状態であり、前記アンテナ回路へ変調信号を送出することを禁止する第2の禁止手段及び／又は前記第一の増幅器の利得可変制御する手段によって少なくとも不要な変調信号の送出が禁止された状態であり、電源投入時および非送信期間に少なくとももときどき調整することを特徴とする負帰還増幅器。

【請求項6】 請求項5記載の負帰還増幅器において、前記第1のトレーニング段階は入力ベースバンド信号のDCオフセット調節をした後に帰還ベースバンド信号のDCオフセット調節を行って少なくともときどき実行され、前記第2のトレーニング段階は少なくとも前記第1のトレーニング段階の後に少なくともときどき実行され、前記第3のトレーニング段階は少なくとも前記第1のトレーニング段階の後に少なくともときどき実行されることを特徴とする負帰還増幅器。

【請求項7】 請求項4記載の負帰還増幅器における比較手段の出力は少なくとも入力信号と基準信号との大小関係を表す情報を含む誤差信号であり、請求項2記載のトレーニング段階において検出された当該誤差信号にもとづいて、前記入力ベースバンド信号のDCオフセットを補正する手段の出力の補正信号を前記I相及びQ相加算器の入力に加算する手段と、前記帰還ベースバンド信号のDCオフセットを補正する手段の出力の補正信号を前記復調器のI相及びQ相出力に加算する手段と、前記入力ベースバンドI相及びQ相の振幅を補正する手段と、前記移相器を制御する手段を具備することを特徴とする負帰還増幅器。

【請求項8】 請求項4記載の負帰還増幅器において、前記増幅器は前記開ループ状態であって少なくとも位相シフトを調節する第2のトレーニング段階において、少なくとも前記電力増幅器への入力電力が通常の閉ループ動作時の入力電力と等しくなるように利得が可変制御される積分回路であり、前記第1の禁止手段と、第2の禁止手段とともに制御される開ループ制御方式を具備することを特徴とする負帰還増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、変調信号を電力増幅する増幅器の非線形歪みを補償するカーテシアンループ (Cartesian Loop) 方式の負帰還増幅器の改良に関するものである。

【0002】

【従来の技術】 カーテシアンループ方式の負帰還増幅器は、QPSK変調方式、16値QAM変調方式、OFDM等の線形変調信号を電力増幅するために主に無線通信に使用される。この負帰還増幅器は系が適切に調整されると、電力増幅器出力の非線形歪みを補償し、かつ、高品質な通信を行うことが可能な線形増幅器として動作する。ところが、この負帰還増幅器には、以下に述べるような、いくつかの問題が生じる。

【0003】 1. 入力信号と帰還信号のDCオフセットの補正。

【0004】 入力信号のDCオフセットは変調精度の劣化要因である。つまり、入力信号に対する帰還信号のDCオフセットは、直交変調器に入力し、そのDCオフセット成分は直交変調器出力にキャリアリークを生じさせ

て通信品質を低下させる。

【0005】 2. 帰還信号の位相シフトの調整。

【0006】 一般に、帰還回路のループ長や電力増幅器の位相特性等により入力信号に比べて帰還信号は遅延しており、両者の位相関係は必ずしも最適な状態ではない。入力信号に対して帰還信号が逆位相の関係に調整されると負帰還によって増幅器出力の非線形歪みが安定して補償されるが、位相調整が不十分であると系が安定せず、最悪の場合、両者が同位相の関係になると正帰還として動作して発振を生じる。

【0007】 3. 入力I相ベースバンド信号と入力Q相ベースバンド信号の振幅、レベル。

【0008】 特にカーテシアンループ方式の負帰還増幅器では入力I相ベースバンド信号と入力Q相ベースバンド信号の振幅、レベルが同一で、かつ、所定のレベルに対して一致している必要がある。入力I相信号及び入力Q相信号の振幅差は変調精度の劣化要因であり、所定レベルからの誤差は送信出力電力の誤差となる。

【0009】 したがって、このような負帰還増幅器を安定かつ高品質に動作させるために少なくともDCオフセット、位相シフトおよび入力振幅を調整する必要がある。

【0010】 負帰還増幅器の一例は、DCオフセット調整に関しては例えば特開平8-32464が、位相調整に関しては例えば特開平6-505847がある。

【0011】 先ず、DCオフセット調整を行う負帰還増幅器の第1の従来例を図8と図9を用いて説明する。

【0012】 図9において、110、111はデジタルI/Qデータをアナログデータに変換するD/A変換回路、120、121は加算器、130、131は帯域制限フィルタとして使用される前置増幅器、140は直交変調器、190は発振器、150は電力増幅器、270は方向性結合器、160は出力端子、170は帰還利得を与える減衰器、180は直交復調器、221、222は比較器でこれらにより、負帰還増幅器を構成する。負帰還増幅器の前段にはDSP (Digital Signal Processor) 250が接続されている。このDSP250はデジタルベースバンドI相信号及びQ相信号を出力し、かつ、電力増幅器の動作を不許可とした開ループ状態でDCオフセットを検出してDCオフセット制御する。この入力デジタルベースバンドI相信号及びQ相信号はD/A変換回路110および111で入力ベースバンドI相信号及びQ相信号 (いずれもアナログデータ) に変換されて加算器120および121に入力されて帰還信号と加算され、増幅器130および131で帯域制限されて直交変調器140に入力される。直交変調器140は発振器190の出力の搬送波を入力信号で直交変調した変調信号を出力する。この信号は電力増幅器150で電力増幅され出力端子160からアンテナ部へ出力される。一方、電力増幅器150の出

力の一部は方向性結合器270を介して帰還利得を与える減衰器170で減衰される。その後、直交復調器180において発振器190出力の搬送波で前記帰還信号に対応するベースバンドI相信号及びQ相信号を復調して加算器120および121で入力ベースバンドI相信号及びQ相信号に帰還される。このため、電力増幅器150出力の非線形歪みが補償される。

【0013】ところが、実際の回路においては入力ベースバンド信号に対する帰還ベースバンド信号のDCオフセット成分が加算器120および121の出力に生じて直交変調器140に入力される。このDCオフセット成分は直交変調器140出力にキャリアリークを発生させ、電力増幅器150で電力増幅後アンテナ部から送出するため通信品質が劣化する。このDCオフセット成分を補償するため、電力増幅器150がDSP250出力のON/OFF信号によってし、動作が不許可（ゲインを極端に低くする）に制御された開ループ状態において以下のトレーニングが行われる。

【0014】このときの開ループトレーニングを図8の等価ブロック図を用いて説明する。図8は開ループトレーニング時における図9の負帰還増幅器の状態を簡略化して示した等価ブロック図であり、直交変調器140出力および直交復調器180入力をターミナル300および301で終端した開ループモデルとして表されている。図8において、DSP250からI相入力およびQ相入力にランプ信号（傾斜信号） $I(t) = a \cdot t$

【V】、 $Q(t) = a \cdot t$ 【V】（ a は実数）がそれぞれ入力され、直交復調器180は発振器190出力の搬送波のみを入力したときの直交復調器180出力であるDCオフセット成分 ΔI 【V】および ΔQ 【V】を出力して加算器120及び121で上記入力ランプ信号と加算される。加算器120及び121出力は、2つの入力信号の大小比較結果を“1”又は“0”の2値信号として出力する比較器221及び222に入力されて0【V】と比較して比較結果をDSP250に出力する。DSP250は比較器221及び222出力が反転した時刻 t_I 及び t_Q のランプ入力値 $I(t_I)$ および $Q(t_Q)$ をDCオフセット補正值として決定し、DSP250でデジタルベースバンドI相信号及びQ相信号にこの補正值を加算した信号を実際のベースバンド信号として出力する。このDCオフセット調節によって加算器120及び121出力のDCオフセット成分がキャンセルされて直交変調器140出力のキャリアリーク発生が回避される。

【0015】次に、位相シフト調整を行う負帰還増幅器の第2の従来例を図7と図6を用いて説明する。

【0016】図7において、図9と同一参照符号は同一物を示す。100、101はベースバンドI相信号及びQ相信号の入力端子、260、261は迂回路、132、133は開ループ制御時に動作が不許可に制御され

る増幅器、124、125は開ループ制御時に迂回路260及び261を介して位相調整信号が注入される加算器である。

【0017】以下この動作について説明する。

【0018】入力端子100及び101よりベースバンドI相信号及びQ相信号が入力されて加算器120および121で帰還信号と加算される。加算器120及び121出力は132及び133で帯域制限され、加算器124及び125を介して直交変調器140に入力される。直交変調器140は発振器190出力の搬送波を入力信号で直交変調した変調信号を出力して電力増幅器150で電力増幅され出力端子160からアンテナ部へ出力する。また、電力増幅器150出力の一部は方向性結合器270および減衰器170を介して直交復調器180に入力される。この直交復調器180は発振器190出力の搬送波を入力して位相を回転して出力する移相器220出力の搬送波で前記帰還信号に対応するベースバンドI相信号及びQ相信号を復調する。このI相信号及びQ相信号は加算器120および121で入力ベースバンドI相信号及びQ相信号に帰還される。ところが、入力ベースバンド信号と帰還ベースバンド信号の位相シフトによって負帰還増幅器の動作は不安定となる。位相シフトを調整して負帰還増幅器を安定に動作させるため、第1の増幅器132及び133が制御装置241出力の制御信号によって動作が不許可に制御された開ループ状態において以下のトレーニングが行われる。

【0019】この開ループトレーニングを図6の等価ブロック図を用いて説明する。図6は開ループトレーニング時における図7の負帰還増幅器の状態を簡略化して示した等価モデルであり、加算器120及び121と第1の増幅器132及び133が削除された開ループモデルとして表されている。図6において、入力ベースバンドI及びQを入力端子100及び101から入力して迂回路260及び261を介して加算器124及び125から直接、直交変調器140に入力して直交変調された変調信号を帰還路を介して直交復調器180に入力し、復調する。復調されたベースバンド I' および Q' は比較器223及び224に入力して符号を検出し、当該符号情報を制御装置241に入力して入力ベースバンド信号 $(I + jQ)$ に対する帰還ベースバンド信号 $(I' + jQ')$ の位相差が判定される。当該判定情報によって制御装置241が移相器220を制御して位相シフトを調整する。この位相シフト調整によって正しい位相関係が確保されて負帰還増幅器は安定に動作する。

【0020】最後に、入力I相ベースバンド信号と入力Q相ベースバンド信号の振幅、レベル補正について、図4を用いて説明する。

【0021】すなわち、図4のように入力端子100及び101とD/A変換回路110及び111の間に振幅補正回路290を配置し、D/A変換回路110及び1

10

20

30

40

50

11出力を比較器225及び226に入力して、入力端子100及び101に同一の信号 $I=Q=c[v]$ を入力し、比較器225及び226の一方の入力を $c[v]$ の基準電圧に接続して比較判定して、当該判定情報によって制御装置が振幅補正回路290を調整する。

【0022】

【発明が解決しようとする課題】しかしながら、前述の従来例においては以下の問題が生じる。

【0023】第1に、前述の図9に示した第1の従来例において、直交復調器180出力のDCオフセットに対する補正値を入力ベースバンド信号に加算して、加算器120及び121出力でこれをキャンセルする制御構成である。このため、図5に示すように加算器120及び121で加算される入力ベースバンド信号の座標平面

($I-Q$ 平面)の原点 O_1 と帰還ベースバンド信号の座標平面($I'-Q'$ 平面)の原点 O_2 が異なり、絶対座標の原点 $O(0[v], 0[v])$ に対して対称な関係となる。したがって、原点のずれた座標平面の信号同士を加算器120及び121で負帰還するため、本来、電力増幅器150出力の非線形歪みをベースバンド座標平面上で負帰還して非線形補償するカーテシアンループ方式の負帰還増幅器において、原点のズレの $2 \times \Delta I$ および $2 \times \Delta Q$ に対応した過補償が生じるために補償劣化が生じる。

【0024】第2に、前述の図9、第1の従来例のように直交復調器180出力のDCオフセットに対する補正値を入力ベースバンド信号に加算する制御構成でDCオフセット調整された後、続いて前述の図7に示した第2の従来例のような構成で、入力ベースバンド信号を一巡して直交復調した信号によって位相シフト調節を行う場合、上述のような入力ベースバンド信号の座標平面と帰還ベースバンド信号の座標平面のズレが存在すると、位相シフトの調節が適切に実行されない。例えば、図6に示した位相調整時のブロック図において、入力端子100及び101から $I=a[v]$ 、 $Q=0[V]$ を入力して(ただし、入力信号は絶対座標に対して ΔI 及び ΔQ のオフセットを受けているものとする。図5の点Aを入力)、直交復調器180出力を比較器223及び224でそれぞれ $0[v]$ 、すなわち絶対座標上で判定されて位相シフト調整すると、位相調整後の直交復調器180出力は図5の点Bとなる。これは、帰還ベースバンド信号の座標平面($I'-Q'$ 平面)が入力ベースバンド信号の座標平面($I-Q$ 平面)に対し θ だけ位相回転されていることを意味しており、正しい位相関係が満足されず負帰還増幅器の不安定動作の要因となる。

【0025】第3に、 D/A 変換回路110及び111の振幅誤差を調節する図4の構成では、 D/A 変換回路110及び111自身のDCオフセット(ΔIDC 、 ΔQDC)が存在する場合、および/または、前述のDCオフセット調節後のように入力信号に予め検出した直交

復調器180のオフセット補正値(ΔI 、 ΔQ)が加算されている場合、比較器225及び226入力の I 相オフセット($\Delta IDC + \Delta I$)および Q 相オフセット($\Delta QDC + \Delta Q$)によって比較器出力に誤差が生じるため正確な振幅補正が実行できない。

【0026】第4に、前述の第1の従来例におけるDCオフセット制御と、第2の従来例における位相シフト制御を行うためには、異なる2つの開ループ制御を行うための回路構成が必要となる。

【0027】本発明の第1目的は、上記の状況に鑑み、カーテシアンループ方式を用いた負帰還増幅器において、DCオフセットの調整結果が位相シフト調節および入力振幅調節に影響を与えることを回避する制御方式を供給することにある。

【0028】本発明の2目的は、上記の状況に鑑み、カーテシアンループ方式を用いた負帰還増幅器において、共通の開ループ制御方法、共通の誤差検出パスおよび、共通の調節アルゴリズムを採用した簡単な回路構成および手段によって、DCオフセット、位相シフトおよび、入力振幅を調節して安定かつ高品質な負帰還増幅器を供給することにある。

【0029】

【課題を解決するための手段】本発明では、上記第1の目的を達成するために、入力ベースバンド信号と帰還ベースバンド信号のDCオフセットの調整を入力側の調整の次に、帰還側の順で個別に調整し、その後、位相シフト、入力振幅等のDCオフセット以外の調整をすることを特徴とするものである。

【0030】上記第2の目的を達成するため、送信信号と帰還路の直交復調器出力との加算器入力に間に設けた入力を禁止する手段と、利得を可変して順方向利得を調整する増幅手段と、アンテナ部への不要な信号送出を禁止する手段とを制御する開ループ制御構成とし、前記加算器の出力と前記直交復調器の出力とを各々比較手段で基準電圧と比較判定した結果によって制御装置が入力ベースバンド信号のDCオフセットを補正する手段と、復調ベースバンド信号のDCオフセットを補正する手段と、帰還路の移相器と入力ベースバンド信号の振幅を補正する手段を調整するようにしたものである。

【0031】

【発明の実施の形態】本発明の基本的実施の形態の全体構成を図1に示し、以下説明する。

【0032】同図において、他の図と同一の参照符号は同一物を示す。240は制御装置で、マイクロプロセッサまたはDSPにより構成されている。220は比較器、230は基準電圧回路、210は第1の禁止手段、310は第1のオフセット補正回路、311は第2のオフセット補正回路、134、135は帯域制限フィルタとして作用する前置増幅器、122、123、126、127は加算器、211は第2の禁止手段である。29

0はD/A変換回路110及び111の前段又は後段に設ける振幅補正手段で、前段に設ける場合にはD/A変換回路110及び111に入力するデジタル信号に補正係数を重み付けすることによりD/A変換回路出力信号の振幅を補正する。後段に設ける場合にはアナログ的な振幅補正手段となることは言うまでもない。以下の説明では290を振幅補正回路と称す。

【0033】次に、この動作について説明する。制御装置240の出力の開ループ制御信号を第1の禁止手段210、第2の禁止手段211および増幅器134及び135に入力する。第1の禁止手段210は系を開ループにし、第2の禁止手段211は信号の送出を抑圧し、増幅器134及び135は利得を可変して開ループ制御を行う。加算器126及び127出力と加算器122、123を経由した直交復調器180出力を比較器220に入力する。制御装置240出力の制御信号によってトレーニング段階に応じて基準電圧を発生する基準電圧回路230出力の基準電圧と前記加算器126、127出力と、直交復調器180出力は比較判定される。比較判定情報は制御装置240の入力として、オフセット補正回路310及び311、移相器200および、振幅補正回路290をそれぞれ制御する。

【0034】DCオフセットの調整は、第1の禁止手段210により、帰還ループを開にした上で、検出点a I、a Qからの信号と、基準電圧回路230出力の基準電圧とを比較し、オフセット補正回路310を制御する。更に、直交復調器180出力を検出点b I、b Qから取り出し、比較器220に入力し、比較結果により帰還側オフセット補正回路311を制御する。

【0035】位相シフトの調整は、入力デジタルベースバンド信号を入力し、帰還回路を経由したこの信号を直交復調器180出力、つまり、検出点b I、b Qより検出し、比較器220に入力する。比較器220では基準電圧回路230出力の基準信号と直交復調器180出力とを比較判定し、この判定情報によって、制御装置240は移相器200を制御する。

【0036】入力ベースバンドI、Q信号の振幅調整は、入力デジタルベースバンド信号を入力して、これを検出点a I、a Qより出力を検出し、比較器220に基準電圧回路230の出力と共に入力し、両者を比較判定する。当該判定情報によって制御装置240は振幅補正回路290を制御する。

【0037】本発明の一実施例を図2を用いて説明する。

【0038】同図は図1に示した発明の全体構成に対する一実施例を示したものであり、加算器122、123、126、127および増幅器134、135をオペアンプ回路によって構成し、オフセット補正回路310及び311としてD/A変換回路を、第1の禁止手段210としてアナログスイッチを、第2の禁止手段211

として可変減衰器およびアンテナスイッチを用いた一例を示している。

【0039】また、図10は本実施例におけるトレーニング処理の流れの一例を示すフローチャートである。

【0040】初めに通常の動作について説明する。

【0041】図2において、入力端子100及び101にデジタルベースバンドI相信号及びQ相信号が入力し、入力I相及びQ相の振幅補正を行う振幅補正回路290でI、Q振幅補正された後、D/A変換回路110及び111に入力してアナログベースバンドI相信号及びQ相信号に変換される。オペアンプ350及び351に入力されて帰還信号および制御装置240によって制御されるD/A変換回路112及び113出力のDCオフセット補正值と加算される。オペアンプ350及び351出力は、アナログスイッチ342及び343が制御装置240によってコンデンサ[C]側に接続された積分回路構成のオペアンプ352及び353によって帯域制限されて直交変調器140に入力される。直交変調器140は発振器190出力の搬送波信号を入力信号で直交変調した変調信号を出力する。この変調信号は電力増幅器150で電力増幅され、制御装置240によって動作が禁止された第2の禁止手段211の可変減衰器330及びアンテナスイッチ320をスルーして出力端子160からアンテナ部へ出力される。一方、電力増幅器150出力の一部は方向性結合器270を介して帰還利得を与える減衰器170で減衰された後、直交復調器180に入力され、発振器190出力の搬送波信号を入力して制御装置240出力の制御信号によって位相を回転して出力する移相器200出力の搬送波信号で直交復調される。当該直交復調器180出力をオペアンプ354及び355に入力する。オペアンプ354、355には制御装置240によって制御されるD/A変換回路114及び115出力のDCオフセット補正值が前記復調器180の出力と加算されて前記帰還信号に対応するベースバンドI相信号及びQ相信号を出力してアナログスイッチ340及び341に入力する。制御装置240で帰還ループのON/OFF制御がされるアナログスイッチ340及び341をオペアンプ350及び351側に接続してアナログスイッチ340及び341に入力した前記帰還ベースバンドI相信号及びQ相信号をオペアンプ350及び351の入力に帰還する。

【0042】次にトレーニングモードについて、図10を参照して説明する。

【0043】トレーニング時には先に説明した帰還ループは開ループとなる。すなわち、DCオフセット調節、位相シフト調節および入力振幅調節のトレーニングを行うために、制御装置240がアナログスイッチ340及び341を終端抵抗側に切り替えるように制御して帰還ループを開放する。更に、オペアンプ352及び353に接続されたアナログスイッチを抵抗側に切り替えて反

転増幅器構成として利得を下げる。ここで、反転増幅構成時の利得は、位相シフト調節時において電力増幅器150が実際に閉ループで動作するときの増幅器の位相特性つまり、AM-PM変換を考慮するために、開ループ時でも閉ループ時と等しい電力が電力増幅器150に入力するように設定される。更に制御装置240は、トレーニング時において不要な変調信号が出力端子160からアンテナ部へ送出されることを防止するため、可変減衰器330を減衰モードに、アンテナスイッチ320をターミナル302側に設定する。そして、制御装置240において図10に示される処理フローによって各トレーニングが実行される。制御装置240はトレーニングの最初に補正対象の調整範囲(P1~P2)が設定される。次にこの範囲内で補正手段を調整して補正パラメータを可変させる。そして、比較器出力の符号が変化する時点の補正パラメータの値を実際の校正値として決定する。

【0044】以下それぞれのトレーニングについて説明する。

【0045】このような、以下に説明するDCオフセット、位相シフト、入力ベースバンドI、Q信号の振幅調整は上記開ループ制御状態において行われる。

【0046】第1のトレーニング段階としてDCオフセットが調整される。まず、入力ベースバンド信号のDCオフセットを調整するために、入力デジタルベースバンドI、Q信号に零データを入力し、オペアンプ350及び351出力を検出点aI、aQより、比較器223及び224に入力する。このとき、制御装置240は基準電圧回路230出力を0[V]に制御して比較器223及び224はこの0[V]とオペアンプ350、351の出力を比較判定する。

【0047】当該判定情報によって制御装置240がD/A変換回路112及び113出力を反復的に調整して入力DCオフセットがキャンセルされるD/A出力値を決定する。より詳しくは、制御装置240は調整範囲を $P1 = -V1$ [V]、 $P2 = +V1$ [V] ($V1$: D/A変換回路110及び111のバラツキ及び温度特性を考慮した最大のオフセット電圧+マージン。)に設定し、D/A変換回路112及び113を $-V1$ [V] ~ $+V1$ [V] の範囲で可変して直流電圧を出力する。そして比較器223及び224出力の符号が反転する時点のD/A変換回路112及び113出力をDCオフセット補正電圧として決定する。これにより、D/A変換回路110、111出力のDCオフセットがキャンセルされる。

【0048】次に帰還ベースバンド信号のDCオフセットを調整するために、オペアンプ354及び355出力を検出点bI、bQより比較器221及び222に入力して上記と同様に基準電圧回路230出力の0[V]と比較判定される。

【0049】当該判定情報によって制御装置240がD/A変換回路114及び115出力を反復的に調整して復調DCオフセットがキャンセルされるD/A出力値を決定する。これにより、帰還回路のDCオフセットがキャンセルされる。つまり、制御装置240は調整範囲を $P1 = -V2$ [V]、 $P2 = +V2$ [V] ($V2$: 直交復調器180のバラツキ及び温度特性を考慮した最大のオフセット電圧+マージン。)に設定し、D/A変換回路114及び115を $-V2$ [V] ~ $+V2$ [V] の範囲で可変して直流電圧を出力する。そして比較器221及び222出力の符号が反転する時点のD/A変換回路114及び115出力をDCオフセット補正電圧として決定する。

【0050】第2のトレーニング段階として位相シフトが調整される。

【0051】 $I = a$ [V]、 $Q = 0$ [V] に相当する入力デジタルベースバンド信号を入力して、オペアンプ354及び355出力を検出点bI、bQより比較器221及び222に入力する。一方、制御装置240は基準電圧回路230出力を0[V]に制御して比較器221及び222に入力し、両者は比較判定される。当該判定情報によって、制御装置240が移相器200を反復的に調整してオペアンプ354及び355出力が $I' = -k \cdot a$ [v] [k : 正の実数]、 $Q' = 0$ [v] になる移相量を決定する。図11を参照してこれを更に詳しく説明する。同図は位相シフトトレーニング処理の調整範囲を示す説明図である。

【0052】制御装置240は比較器221及び222出力の符号によって調整範囲(P1、P2)を図11のように設定し、移相器200をこの調整範囲で調整して復調搬送波信号の位相を可変する。そして、比較器222出力(帰還Q)の符号が反転する時点の移相器200調整量を位相シフト補正值として決定する。このときオペアンプ354及び355出力は $I' = -k \cdot a$ [V] (k : 正の実数)、 $Q' = 0$ [V] となり入力ベースバンド信号と逆位相の関係に制御される。これにより、位相シフトが調整される。

【0053】第3のトレーニング段階として入力ベースバンドI、Q信号の振幅が調整される。

【0054】 $I = c$ [V]、 $Q = c$ [V] に相当する入力デジタルベースバンド信号を入力して、オペアンプ350及び351出力を検出点aI、aQより検出し、比較器223及び224に入力する。一方、制御装置240は基準電圧回路230出力を $-m \cdot c$ [V] ($-m$ [倍]: 反転増幅構成のオペアンプ350及び351の利得)に制御して比較器223及び224に入力する。比較器223、224は両者を比較判定する。当該判定情報によって制御装置240が振幅補正回路290を反復的に調整してオペアンプ350及び351出力が $I = -m \cdot c$ [v]、 $Q = -m \cdot c$ [v] になる振幅補正值

を決定する。つまり、制御装置240は調整範囲を $P1 = -G1$ [dB], $P2 = +G1$ [dB] ($G1$: D/A変換回路110及び111のバラツキ及び温度特性を考慮した最大の振幅誤差+マージン。)に設定し、振幅補正回路290を $-G1$ [dB] ~ $+G1$ [dB] の範囲で振幅を可変する。そして比較器223及び224出力の符号が反転する時点の振幅補正回路290の調整量を振幅補正值として決定する。

【0055】なお、本実施例では比較器220を入力信号と基準信号を入力して大小を判定する比較器構成としたが、これは、例えば図3に示すような入力信号をA/D変換してデジタルデータを出力する2201から2204のA/D変換器構成の比較器220'としても上記と同様なトレーニング(反復アルゴリズム)が実行できる。この場合、制御装置240には基準信号に対する誤差データ値が入力されるため、同装置の処理としては図10のフローチャートの「パラメータ決定」だけでよい。また、誤差を直接数値データとして検出するため、制御装置240(例えばマイクロプロセッサ、DSP)を用いづとも、当該検出データによって各調整手段を直接制御することも可能である。

【0056】また、図9の第1の従来例のようにDSPを用いて入力ベースバンド信号の入力およびトレーニング制御を行う場合は、図2の振幅補正回路290およびオフセット補正回路310の機能がDSPの処理(プログラム)の一部として組み込むことができることは言うまでもない。

【0057】

【発明の効果】以上により、本発明の帰還ループをスイッチによってON/OFF制御する簡潔な開ループ制御による負帰還増幅器のトレーニング制御によれば、検出パス及び調整アルゴリズムを共有できる簡単な回路構成及び制御手段によって、DCオフセットを調節してローカルリークの発生を防ぎ、位相シフトを調節して負帰還増幅器を安定に動作させ、入力ベースバンド信号の振幅を一致させて変調精度の劣化を防ぎ、安定かつ高品質な負帰還増幅器を実現できる。また、トレーニングの最初の段階として、入力ベースバンド信号のDCオフセット調節と帰還ベースバンド信号のDCオフセット調節をそれぞれ実行して、両者の座標平面の原点が絶対座標の原点と一致するように制御したため、続くトレーニング段階の位相シフトおよび入力バランスの調節が絶対座標上で調整制御できる。また、上記DCオフセット調節において、最初に入力ベースバンド信号のDCオフセット調節を行うため、帰還ベースバンド信号のDCオフセット

を行うときに入力ベースバンド信号のオフセットが帰還回路を介して復調側にリークして復調側のDCオフセット調節を誤ることを防止できる。更に、上記負帰還増幅器のトレーニングは、電源投入時および、少なくとも非送信時にときどき実行することによって、電源投入時のドリフトを吸収し、温度変化による特性の変動を調整し、また、製品ごとの特性のばらつきを調整することができる。

【図面の簡単な説明】

【図1】本発明の一実施例における全体構成を示すブロック図。

【図2】本発明の一実施例に関する全体構成を示すブロック図。

【図3】本発明の実施例における比較回路の他の一例を示すブロック図。

【図4】2つのD/A変換回路の振幅調整を行うブロック構成の一例。

【図5】原点の異なる2つのベースバンド信号に対して位相シフト調節を実施したときの位相関係を示す説明図。

【図6】図7の従来技術の負帰還回路に対するトレーニング時の等価ブロック図。

【図7】従来技術による位相調節を行う負帰還増幅器のブロック図。

【図8】図9の従来技術の負帰還回路に対するトレーニング時の等価ブロック図。

【図9】従来技術によるDCオフセット調節を行う負帰還増幅器のブロック図。

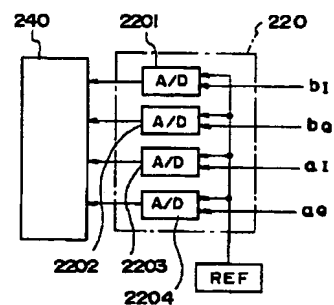
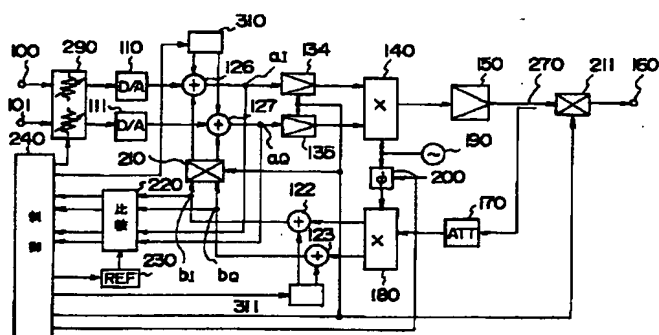
【図10】本発明の実施例におけるトレーニング処理の一例を示すフローチャート。

【図9】本発明の実施例における位相シフトトレーニング処理の調整範囲を示す説明図。

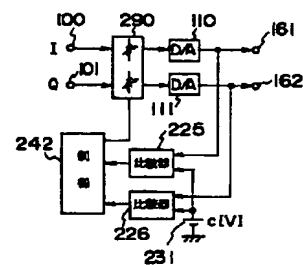
【符号の説明】

100、101 入力端子、110~111 D/A変換回路、122、123、126、127 加算器、134、135 増幅器、140 直交変調器、150 電力増幅器、170 減衰器、180 直交復調器、190 発振器、200 移相器、210、211 禁止手段、220、220' 比較器、230 基準電圧回路、240 制御装置、270 方向性結合器、290 振幅補正回路、310、311 オフセット補正回路、320 アンテナスイッチ、330 可変減衰器、340、341、342、343、343 アナログスイッチ、350、351、352、353、354、355 オペアンプ。

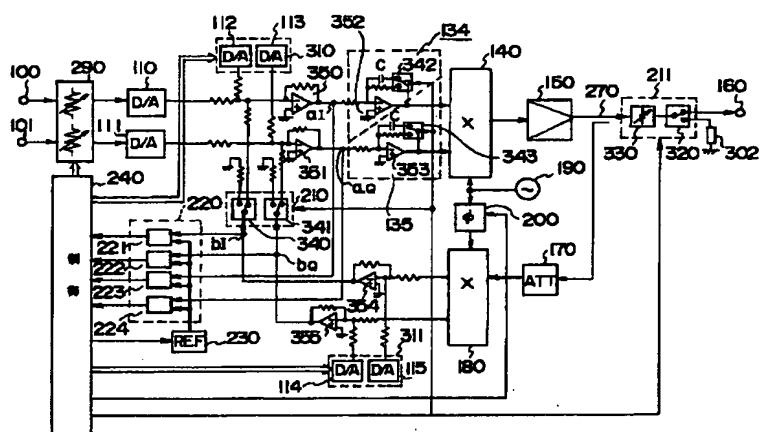
【図3】



【图4】

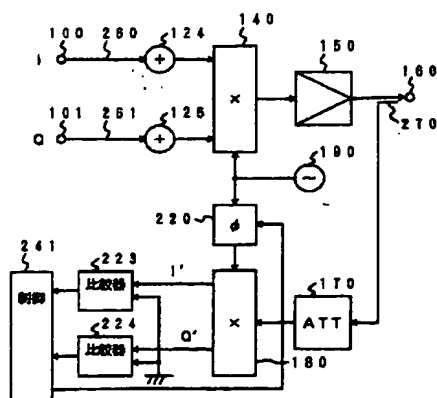
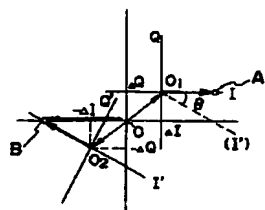


【图2】

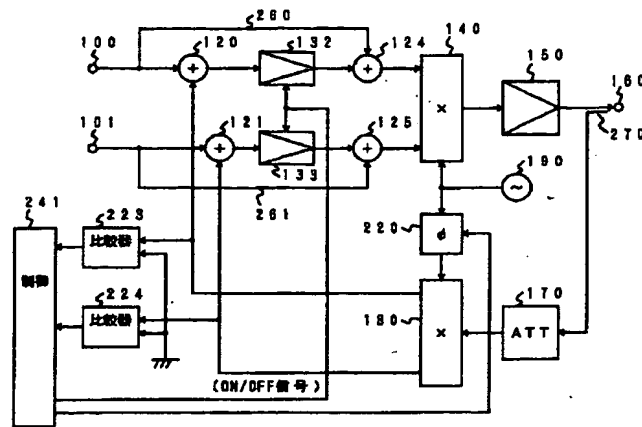


【図5】

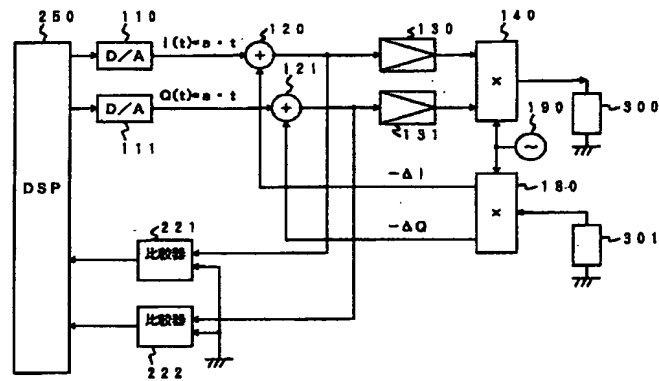
【図 6】



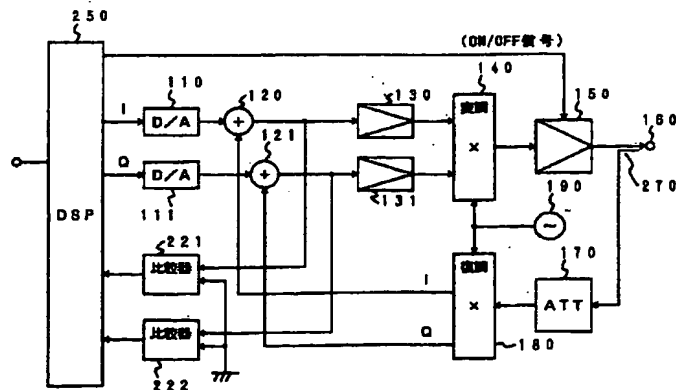
【図7】



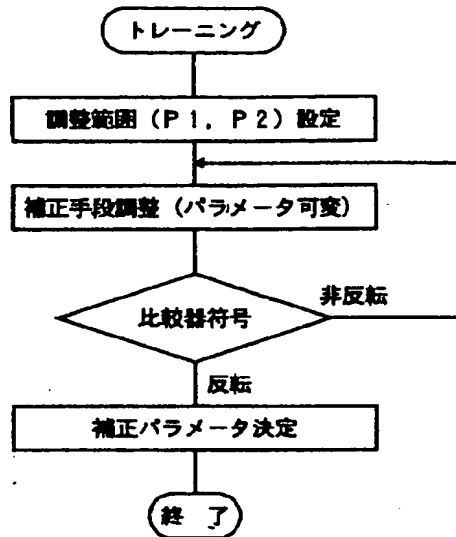
【図8】



【図9】



【図10】



【図11】

比較器222符号 (帰還1符号)	比較器222符号 (帰還Q符号)	(象限)	調整範囲	
			P1	P2
+	+	(第1象限)	+90度	+180度
-	+	(第2象限)	0度	+90度
-	-	(第3象限)	-90度	0度
+	-	(第4象限)	-180度	-90度

【手続補正書】

【提出日】平成9年2月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明の一実施例における全体構成を示すブロック図。

【図2】本発明の一実施例に関する全体構成を示すブロック図。

【図3】本発明の実施例における比較回路の他の一例を

示すブロック図。

【図4】2つのD/A変換回路の振幅調整を行うブロック構成の一例。

【図5】原点の異なる2つのベースバンド信号に対して位相シフト調整を実施したときの位相関係を示す説明図。

【図6】図7の従来技術の負帰還回路に対するトレーニング時の等価ブロック図。

【図7】従来技術による位相調整を行う負帰還増幅器のブロック図。

【図8】図9の従来技術の負帰還回路に対するトレーニング時の等価ブロック図。

【図9】従来技術によるDCオフセット調節を行う負帰還増幅器のブロック図。

【図10】本発明の実施例におけるトレーニング処理の一例を示すフローチャート。

【図11】本発明の実施例における位相シフトトレーニング処理の調整範囲を示す説明図。

【符号の説明】

100、101 入力端子、110～111 D/A変換回路、122、123、126、127 加算器、134、135 増幅器、140 直交変調器、150

電力増幅器、170 減衰器、180 直交復調器、190 発振器、200 移相器、210、211 禁止手段、220、220' 比較器、230 基準電圧回路、240 制御装置、270 方向性結合器、290 振幅補正回路、310、311 オフセット補正回路、320 アンテナスイッチ、330 可変減衰器、340、341、342、343、343 アナログスイッチ、350、351、352、353、354、355 オペアンプ。